



(19)

(11) Publication number: 05242050 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 04044738

(51) Intl. Cl.: G06F 15/16

(22) Application date: 02.03.92

(30) Priority:

(43) Date of application publication: 21.09.93

(84) Designated contracting states:

(71) Applicant: MITSUBISHI ELECTRIC CORP

(72) Inventor: KAMEMARU TOSHIHISA

(74) Representative:

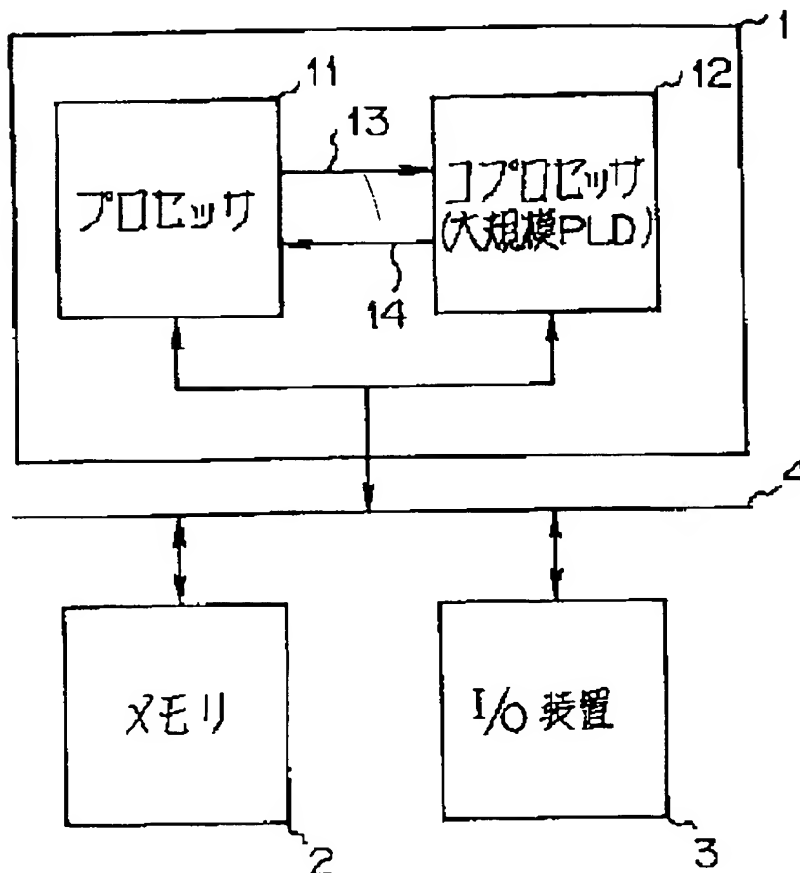
(54) PROCESSOR DEVICE

(57) Abstract:

PURPOSE: To freely enable changing a function and performing the high-speed operation of a co-processor which assists the function of the processor and to provide the co-processor with functions required at every program in an information processor.

CONSTITUTION: The co-processor 12 consists of a large-scale PLD(Programmable Logic Device) 12 whose functions can be freely changed by writing configuration data from an outside. An executive program is provided with configuration data, a writing means for configuration data, a configuration data write completion informing means and a co-processor starting means. Since the large scale PLD12 is provided with a rewritable memory and a logic part capable of changing operation according to the data recorded in the memory, the configuration data can be written into the memory of large-scale PLD12 at every executing program.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-242050

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl.⁵

G 0 6 F 15/16

識別記号

庁内整理番号

F I

技術表示箇所

3 7 0 Z 9190-5L

審査請求 未請求 請求項の数 2(全 7 頁)

(21)出願番号

特願平4-44738

(22)出願日

平成4年(1992)3月2日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 亀丸 敏久

鎌倉市大船五丁目1番1号 三菱電機株式

会社情報電子研究所内

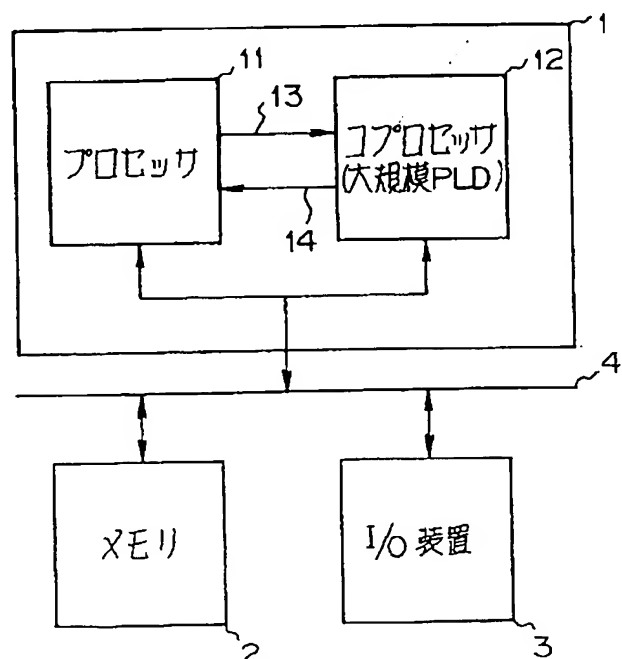
(74)代理人 弁理士 高田 守

(54)【発明の名称】 プロセッサ装置

(57)【要約】

【目的】 情報処理装置において、プロセッサの機能を補助するコプロセッサを、機能を柔軟に変更することができ、高速に実行できるようにし、かつプログラム毎に必要な機能をコプロセッサが有する。

【構成】 コプロセッサ12を外部からの構成データをライトすることによって機能が柔軟に変更できる大規模PLD(Programmable Logic Device)12で構成し、実行プログラムに構成データ、構成データのライト手段、構成データ・ライト完了通知手段および、コプロセッサ起動手段を有する。大規模PLD12は書き換え可能なメモリとこのメモリに記録されたデータにより動作変更が可能なロジック部を有するので、実行プログラム毎に構成データを大規模PLD12のメモリに書き込める。



【特許請求の範囲】

【請求項1】 以下の要素を有するプロセッサ装置

(a) 書き換え可能なメモリ部とこのメモリ部に記録されたデータにより動作変更が可能なロジック部を有する第1のプロセッサ、(b) 所定のデータを記憶する記憶手段、(c) 上記記憶手段に記憶されたデータを上記第1のプロセッサのメモリ部に書き込み、上記第1のプロセッサを起動する第2のプロセッサ。

【請求項2】 以下の要素を有するプロセッサ装置

(a) 書き換え可能なデバイスを有し、このデバイスに書き込まれたデータに基づいて動作する第1のプロセッサ、(b) 所定のプログラムを実行するとともに、上記第1のプロセッサのデバイスにそのプログラムに対応した所定のデータを書き込み、上記第1のプロセッサを動作させる第2のプロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、情報処理分野の中央処理装置のプロセッサ装置に関するものである。

【0002】

【従来の技術】 一般に、プロセッサの機能を補助することによりシステムの性能を向上させるコプロセッサには、例えば、モトローラMC68030に対するMC68882（浮動小数点コプロセッサ）、MIPS社R2000に対するR2010（浮動小数点コプロセッサ）のように機能別のハードウェアにより特定の機能を提供するものと、例えば、特開平02-148162や特開平03-202949に示されるように汎用プロセッサに特定の機能を実現するためのマイクロプログラムを記憶し実行することにより特定の機能を提供するものがある。前者の従来例を従来例1、後者の従来例を従来例2として以下に説明する。

【0003】 従来例1について説明する。図4は従来のハードウェア方式のコプロセッサを示す概念図であり、図において、1はプログラムを実行するCPU、11はプログラムのうち一般的な作業をするプロセッサ、12はプログラムのうち浮動小数点演算など特殊な機能を高速に実行するコプロセッサ、13はプロセッサ11がコプロセッサ12を制御するためのコプロセッサ制御バス、14はコプロセッサ12がプロセッサ11にステータスを通知するためのコプロセッサ・ステータス・バス、2はメモリ、3はI/O装置、4はCPU1、メモリ2およびI/O装置3を結合するシステムバスである。

【0004】 また、図6に従来のCPUが実行するプログラムの概念図を示す。図6において101はプロセッサが実行できる命令コードが格納されている命令コード領域、102はプロセッサ実行時に使用するデータ1021が格納されているデータ領域である。また、命令コード領域101にはコプロセッサには無関係の一般命令

1011、コプロセッサ実行命令1012が格納されている。

【0005】 次に動作について説明する。I/O装置（ディスク装置やネットワークなど）3から図6に示す形式のプログラムをメモリ2に読み込んで記憶し、CPU1はその記憶したプログラムを実行する。CPU1がコプロセッサ12に無関係な命令コードを実行するときは、プロセッサ11が命令コード領域101内の一般命令1011を実行し、データ領域102内のデータ1021にアクセスする。

【0006】 CPU1がコプロセッサ実行命令1012を実行するときは、プロセッサ11がコプロセッサ実行命令1012によりコプロセッサ12に起動要求をコプロセッサ制御バス13を経由して伝え、コプロセッサ12がそれが持つ特定の機能を実行し、実行が終了したらコプロセッサ・ステータスバス14を経由して終了をプロセッサ11に伝える。

【0007】 次に、従来例2について説明する。図5は従来のマイクロプログラム方式のコプロセッサを示す概念図であり、図において、1はプログラムを実行するCPU、11はプログラムのうち一般的な作業をするプロセッサ、12はプログラムのうち様々な機能を実行するコプロセッサ、コプロセッサ12のうち121はローカルプロセッサ、122は2ポートRAM、123はローカルメモリ、124はローカルプロセッサ121、2ポートRAM122、ローカルメモリ123を結合するローカルバス、2はメモリ、3はI/O装置、4はCPU1、メモリ2およびI/O装置3を結合するシステムバスである。

【0008】 また、図6に従来のCPUが実行するプログラムの概念図を示す。図6において101はプロセッサが実行できる命令コードが格納されている命令コード領域、102はプロセッサ実行時に使用するデータ1021が格納されているデータ領域である。また、命令コード領域101にはコプロセッサには無関係の一般命令1011、コプロセッサ実行命令1012が格納されている。

【0009】 次に動作について説明する。システムの立ち上げあるいはシステムリセットのあと、プロセッサ11はコプロセッサ12の動作を記述したマイクロプログラムをI/O装置（ディスクやネットワークなど）3から読み込み、2ポートRAM122を介して、ローカルメモリ123に転送し記憶する。CPU1がコプロセッサ12に無関係な命令コードを実行するときは、プロセッサ11は命令コード領域101内の一般命令1011の命令を実行し、データ領域102内のデータ1021にアクセスする。

【0010】 CPU1がコプロセッサ実行命令1012を実行するときは、プロセッサ11がコプロセッサ12の起動要求を2ポートRAM122、ローカルバス12

3

4を介してローカルプロセッサ121に伝え、ローカルプロセッサ121がローカルメモリ123に記憶したマイクロプログラムを実行し、実行が終了したら2ポートRAM122を介して終了をプロセッサ11に伝える。

【0011】

【発明が解決しようとする課題】従来のコプロセッサ装置は以上のように構成されているので、従来例1の場合は、ハードウェアで構成するため機能が固定し、柔軟に変更することができないという問題点がある。一方、従来例2の場合は、マイクロプログラムで制御するため、ハードワイヤードで組む場合に比べて非常に低速になるという問題点があった。また、従来例2についてもプログラム毎に柔軟にコプロセッサの機能を変更するのが困難であった。

【0012】この発明は上記のような問題点を解消するためになされたもので、機能を柔軟に変更することができ、かつ、高速にプログラムを実行できるプロセッサ装置を得ることを目的としており、さらにこのプロセッサ装置の機能を実行プログラム毎に提供できるプロセッサ装置を得ることを目的とする。

【0013】

【課題を解決するための手段】第1の発明に係るプロセッサ装置は、以下の要素を有するものである。

(a) 書き換え可能なメモリ部とこのメモリ部に記録されたデータにより動作変更が可能なロジック部を有する第1のプロセッサ、(b) 所定のデータを記憶する記憶手段、(c) 上記記憶手段に記憶されたデータを上記第1のプロセッサのメモリ部に書き込み、上記第1のプロセッサを起動する第2のプロセッサ。

【0014】第2の発明に係るプロセッサ装置は、以下の要素を有するものである。

(a) 書き換え可能なデバイスを有し、このデバイスに書き込まれたデータに基づいて動作する第1のプロセッサ、(b) 所定のプログラムを実行するとともに、上記第1のプロセッサのデバイスにそのプログラムに対応した所定のデータを書き込み、上記第1のプロセッサを動作させる第2のプロセッサ。

【0015】

【作用】第1の発明におけるプロセッサ装置は、第1のプロセッサがたとえば大規模PLD(Programable Logic Device)のように、書き換え可能なメモリとこのメモリに記憶されたデータにより動作変更が可能なロジック部により構成されるので、機能を必要に応じて変更することができ、かつ、高速にプログラムを実行できる。

【0016】また、第2の発明におけるプロセッサ装置は、実行するプログラムに対応して大規模PLDや通常のRAM等の書き換え可能なデバイスに書き込む所定のデータを有し、実行プログラム毎にその所定のデータを上記第1のプロセッサに書き込むので、第1のプロセッサはプログラム毎に必要な機能を提供することができ

4

る。

【0017】

【実施例】

実施例1. 以下、第1と第2の発明の一実施例を図について説明する。図1において、1はプログラムを実行するCPU、11はプログラムのうち一般的な作業をするプロセッサ(第2のプロセッサの一例)、12はプログラムのうち特殊な機能を高速に実行するコプロセッサでここでは大規模PLD(Programable Logic Device、第1のプロセッサの一例)からなり、13はプロセッサ11がコプロセッサ12を制御するためのコプロセッサ制御バス、14はコプロセッサ12がプロセッサ11にステータスを通知するためのコプロセッサ・ステータス・バス、2はメモリ、3はI/O装置、4はCPU1、メモリ2およびI/O装置3を結合するシステムバス。

【0018】また図2にCPUが実行するプログラムの概念図を示す。図2において101はプロセッサが実行できる命令コードが格納されている命令コード領域、102はプロセッサ実行時に使用するデータ1021が格納されているデータ領域、103はコプロセッサの構成データ1031が格納されている構成データ領域で、命令コード領域101にはコプロセッサには無関係の一般命令1011、コプロセッサ実行命令1012、コプロセッサに構成データをライトする構成データ・ライト命令1013、コプロセッサの構成データのライト完了を知るためのコプロセッサ・リード構成ステータス命令1014が格納されている。

【0019】次に動作について説明する。図3に動作の概略フローを示す。I/O装置(ディスク装置やネットワークなど)3から図2に示す形式のプログラムをメモリ2にロードし、CPU1はプログラムを実行する。CPU1がコプロセッサ12に無関係な命令コードを実行するときは、プロセッサ11が命令コード領域101内の一般命令1011の命令を実行し、データ領域102内のデータ1021にアクセスする。

【0020】CPU1が構成データ・ライト命令1013を実行するときは、プロセッサ11が構成データ・ライト命令1013により、構成データ格納領域103に格納されている構成データ1031をコプロセッサ12に機能を実現するのに必要なワード数書き込みロジック部を変更する。これにより、コプロセッサ12は、所望の機能を実現することが可能になり、コプロセッサ・リード構成ステータス命令1014を実行して、コプロセッサ・ステータス・バス14を介して構成データのライトの完了をプロセッサ11に通知する。CPU1がコプロセッサ実行命令1012を実行するときは、プロセッサ11がコプロセッサ実行命令1012によりコプロセッサ12に起動要求をコプロセッサ制御バス13を経由して伝え、コプロセッサ12が構成データにより書き込まれた機能を実行し、実行が終了したらコプロセッサ・

ステータスバス14を経由して終了をプロセッサ11に伝える。

【0021】以上のように、この実施例では、メモリ、CPU、I/O装置からなる情報処理装置において、CPUのプロセッサの機能を補助するコプロセッサを、外部から構成データをライトすることによって所望の機能を実現できる大規模PLD(Programable Logic Device)で構成し、メモリあるいはI/O装置に格納された構成データをプロセッサが該当コプロセッサへライトする手段、構成データのライトが完了したことをプロセッサへ通知する手段および、プロセッサが該当コプロセッサを起動する手段を有することを特徴とするコプロセッサを説明した。

【0022】また、上記コプロセッサの構成データ、コプロセッサへの構成データのライト手段、構成データのライト完了通知手段および、コプロセッサの起動手段を、実行プログラム中に有していることを特長とするプログラムを説明した。

【0023】実施例2. なお、上記実施例では、CPUが実行するプログラムにコプロセッサ実行命令1012および、構成データ・ライト命令1013という特殊命令を設けたが、このような特殊命令を設けずにこのような機能を果たすレジスタをメモリ空間中に設け、そのアドレスにアクセスすることによって構成データ・ライト、ライト完了通知、またはコプロセッサの起動を行っても良い。

【0024】実施例3. 上記実施例1では、ひとつのプログラム内に構成データ及び構成データ・ライト、ライト完了通知、コプロセッサの起動の命令を有する場合を示したが、構成データ及び構成データ・ライト、ライト完了通知、コプロセッサの起動の3つの命令は同一プログラム内にすべてなくてもよい。つまり、別々な場所にあってもよく、プログラムに対応して実行されるものであればよい。たとえば、構成データは別ファイルにあってもよい。また、ライト命令は実施例2のようにレジスタ内にあってもよい。

【0025】実施例4. 上記実施例1では、ひとつの種類の構成データをコプロセッサにライトして、ひとつの機能をもたせる場合を示したが、コプロセッサにプログラムに必要な複数の特殊機能を同時にもちたせてもかまわない。たとえば、浮動小数点機能とマトリクス演算機能をひとつのプログラムで同時にセットしてもかまわない。また、別々な時にセットしてもよい。

【0026】実施例5. 上記実施例1では、構成データをすべて入れかえる場合を示したが、コプロセッサに使用頻度の高い構成データをあらかじめ書き込んでおいてもかまわない。たとえば、ある領域に浮動小数点機能を常駐させるとともに、別の領域にマトリクス演算機能をセットしたり、フーリエ変換機能をセットしたり、あるいは、入れ替えたりしてもよい。また、常駐のしかたと

しては、常駐する構成データのある所定の領域をアドレスによりプロテクトしてもよいし、常駐する構成データ内に常駐フラグを持たせて他の構成データによる上書きを防ぐようにしてもよい。

【0027】実施例6. 上記実施例1では、コプロセッサをひとつ有する場合を示したが、コプロセッサを複数有してもかまわない。この場合、書き込み命令でどのコプロセッサに対して書き込むのか区別する必要がある。また、実行時も区別する必要がある。また、複数のコプロセッサの中には、従来のコプロセッサが存在していてもよく、この実施例によるコプロセッサと従来のコプロセッサと併用しても構わない。

【0028】実施例7. 上記実施例1では、大規模PLDの場合を示したが、大規模PLDは書き換え可能なメモリとこのメモリに記録されたデータにより動作変更が可能なロジック部を有する第1のプロセッサの一例である。PLDという名にこだわるものではなく、書き換え可能なメモリに書かれたデータによりロジック動作が変更可能なプロセッサを用いている場合に適用することができる。

【0029】実施例8. 上記実施例1では、コプロセッサを例にして説明したが、コプロセッサは請求項1、2記載の発明の第1のプロセッサの一例である。この発明は、たとえば、付加プロセッサやサブプロセッサ等と呼ばれるものにも適用することができ、コプロセッサという名にこだわるものではない。

【0030】

【発明の効果】以上のように、第1の発明によればコプロセッサ装置は書き換え可能なメモリとこのメモリに記憶されたデータにより動作変更が可能なロジック部で構成されるので、機能を必要に応じて変更することができ、かつ、高速にプログラムを実行できる。

【0031】また、第2の発明によれば、プログラムに対応して書き換え可能なデバイスに所定のデータをコプロセッサ装置に書き込むので、プログラム毎に必要な機能をコプロセッサ装置に持たせることができるという効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例による情報処理装置のコプロセッサの概念図である。

【図2】この発明の一実施例によるプログラムの概念図である。

【図3】この発明の一実施例を説明するためのフローチャート図である。

【図4】従来の情報処理装置のハードウェア方式のコプロセッサの概念図である。

【図5】従来の情報処理装置のマイクロプログラム方式のコプロセッサの概念図である。

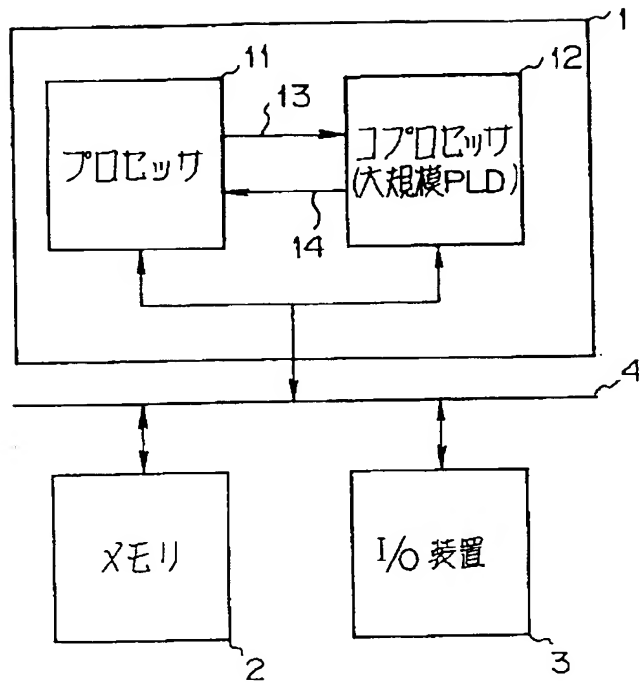
【図6】従来の情報処理装置のプログラムの概念図である。

【符号の説明】

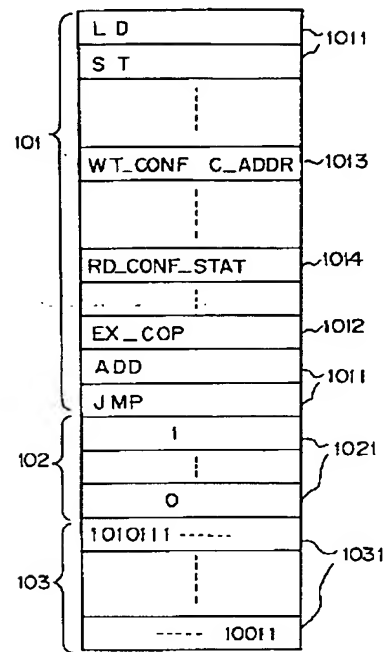
- 1 CPU
2 メモリ
3 I/O装置
4 システムバス

- 11 プロセッサ
12 コプロセッサ
13 コプロセッサ制御バス
14 コプロセッサ・ステータス・バス

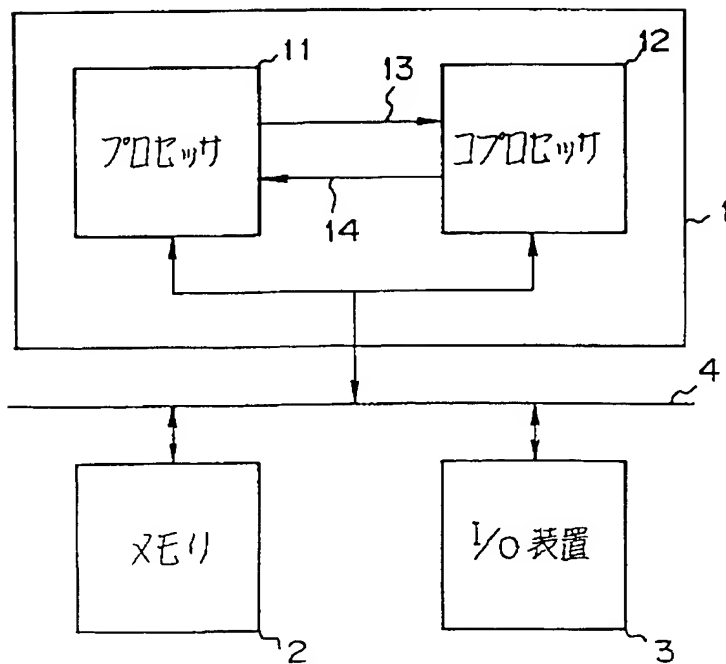
【図1】



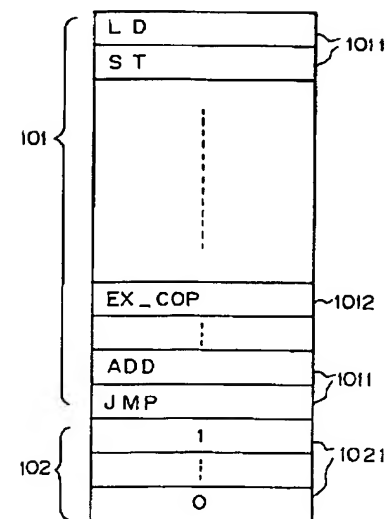
【図2】



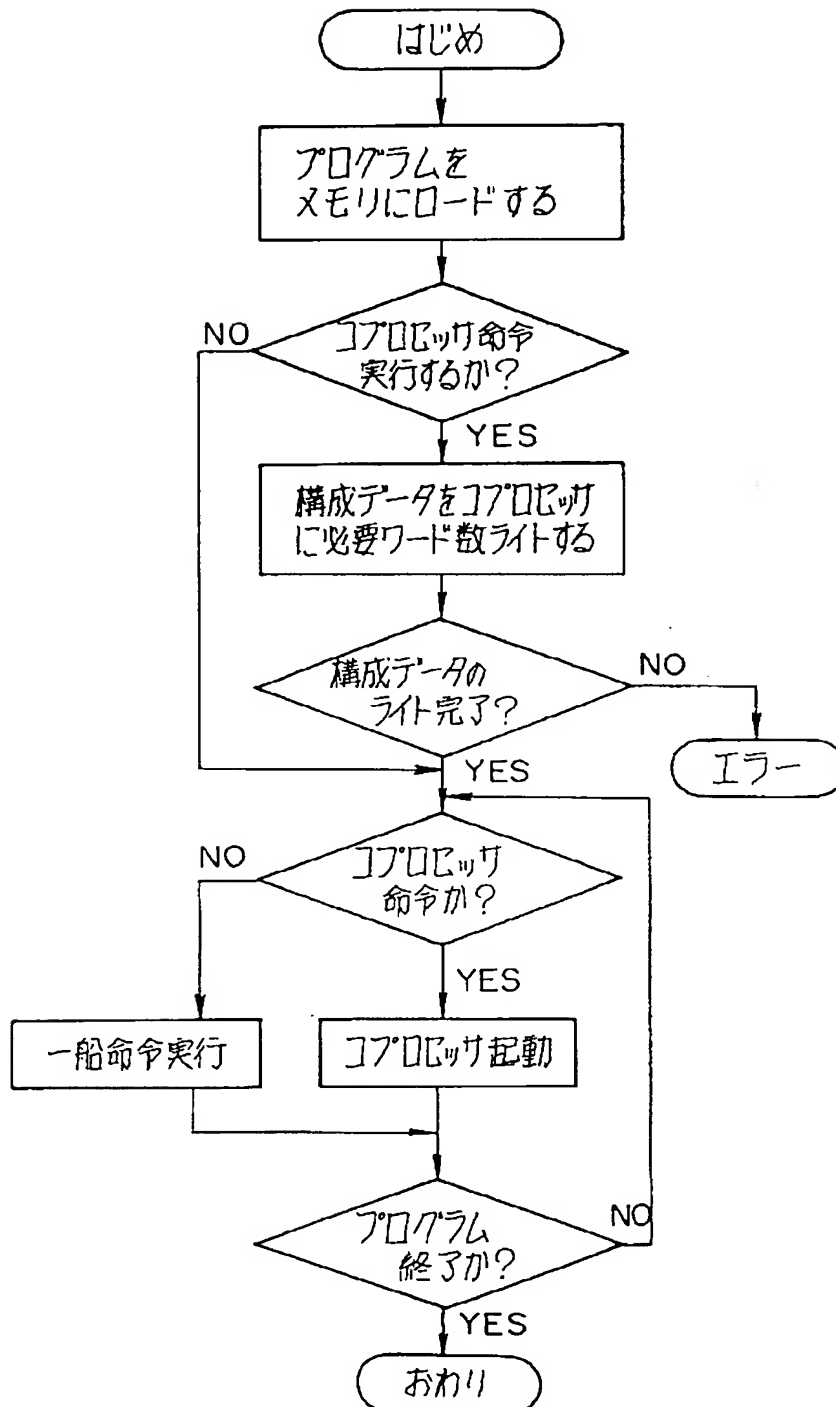
【図4】



【図6】



【図3】



【図5】

